GUARD CONF



Путешествие к 1 нанометру. Каким станет железо, для которого мы будем писать ПО



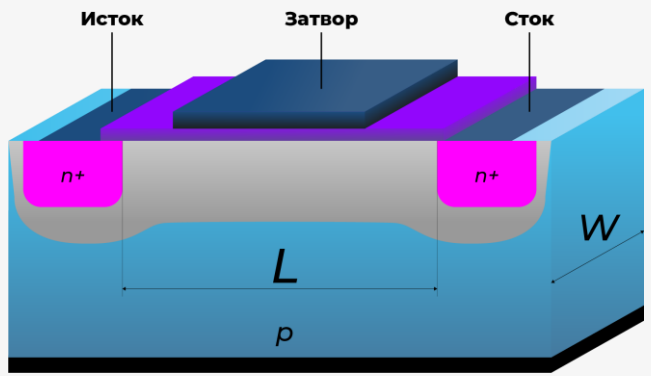
Сергей Панасенко

к.т.н., Компания «Актив»



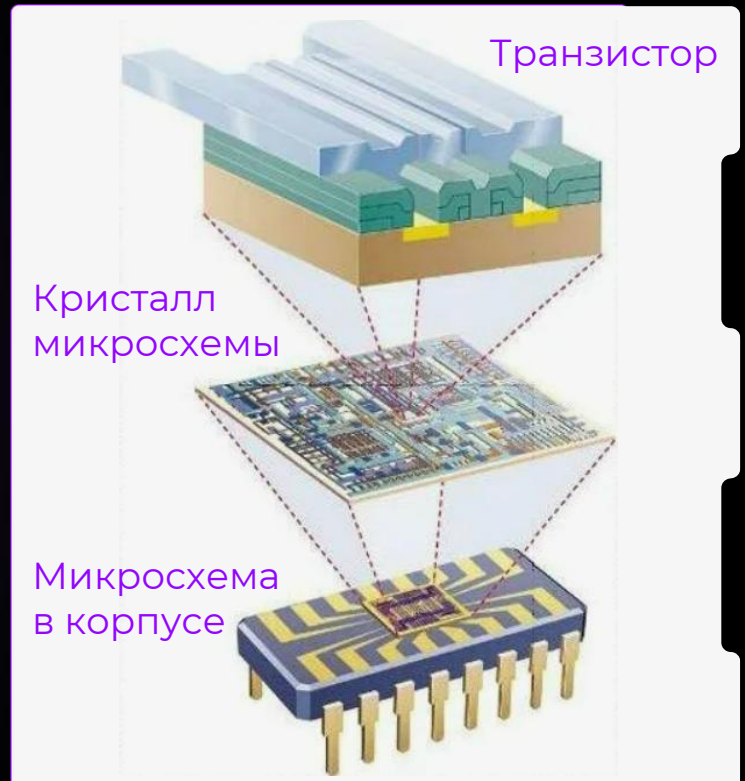
Основной элемент микросхем – транзистор

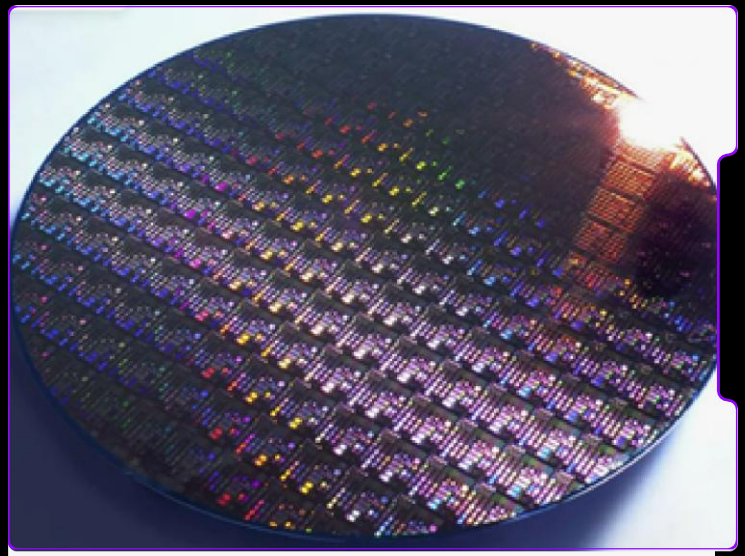
Классический планарный транзистор на кристалле:



Функции транзисторов

- усиление сигнала
- коммутация сигналов
- создание логических элементов
- основа ячеек памяти

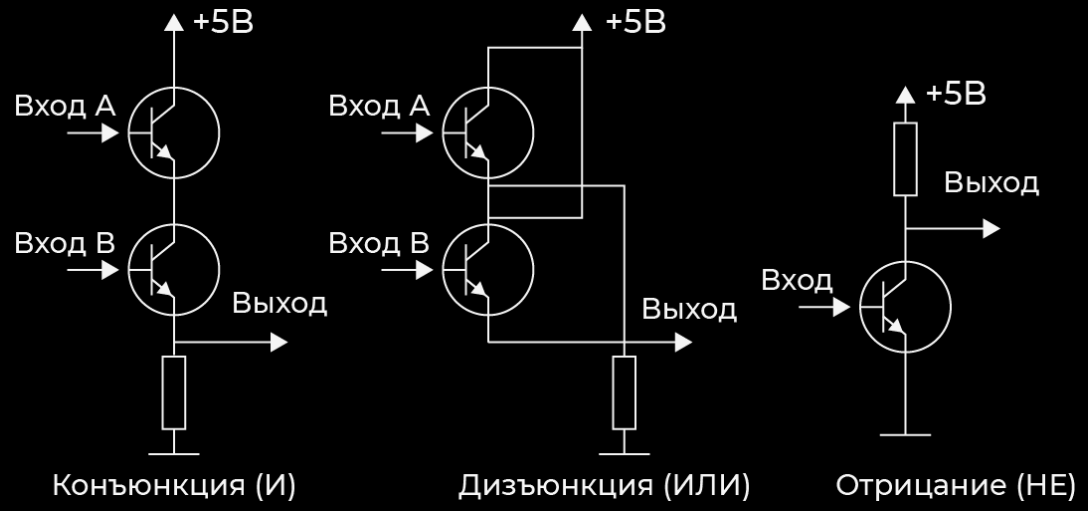




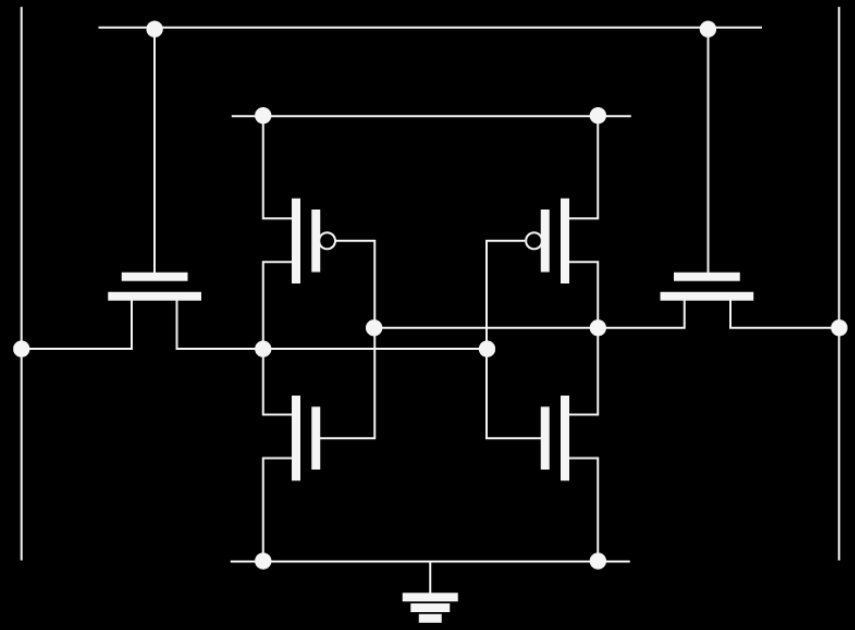
Пластина с кристаллами

Примеры использования транзисторов

Логические операции на транзисторах:



Один из вариантов ячейки памяти:

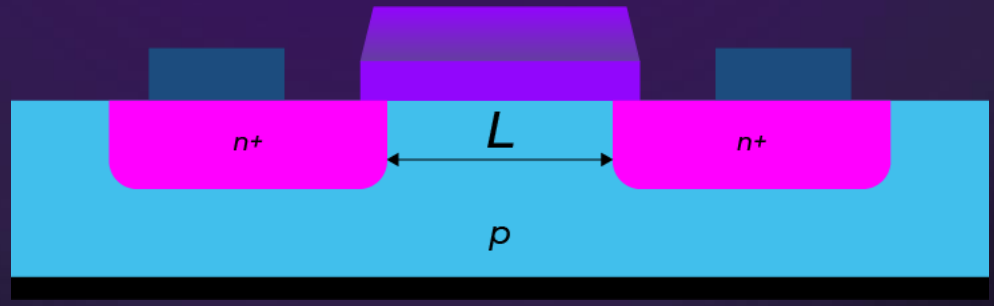


Что измеряется в нанометрах

Данная величина определяет **топологические нормы** (N) – основной параметр технологии производства микросхем.

Но начиная с ~28 нм N начали определять не значением L, а рассчитывать, исходя из плотности **элементов на кристалле**

Основная величина, измеряемая в нанометрах (нм) – это длина затвора L.



С уменьшением N размеры элементов уменьшаются, но прямая зависимость отсутствует.

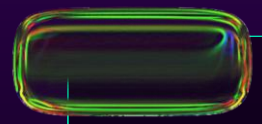
Например, нелинейно (медленнее) уменьшаются следующие параметры:

- ширина проводников (20-30 нм для N=2-5 нм)
- длина затвора L (~10 нм для N=2-5 нм), L=5 нм – предельное значение
- ширина затвора w (~15 нм для N=7 нм), w=5 нм – предельное значение
- ширина транзистора в целом (~ в 1,7 раза при переходе 90→28 нм)

Зачем уменьшать топологические нормы



- Увеличение плотности и количества транзисторов на микросхеме
- Уменьшение энергопотребления на один элемент
- Увеличение быстродействия



- Рост в геометрической прогрессии:
  - паразитных взаимодействий
  - стоимости оборудования («катастрофически увеличивается»)
  - сложности и стоимости разработки и производства
  - брака при производстве (до 30 %)
- Рост общего энергопотребления
- Ограничение рабочей частоты
- Приближение к физическим пределам фотолитографии (~1 нм), меньше только нанопечать

Мировые лидеры, состояние и перспективы

GUARDCORE

Компания	Массовое производство	Опытное производство	Освоение	Исследования
TSMC (Тайвань)	2 нм		1,4 нм	1 нм
Samsung (Корея)	3 нм	2 нм	1,4 нм	1 нм
Intel (США)	7 нм	2 нм и 1,8 нм	1,4 нм	

Заявленные нанометры перестали явно обозначать длину затвора транзистора и превращаются в маркетинговое название (значение L может быть в разы выше), но по ним можно оценивать плотность элементов. Но есть нюансы:

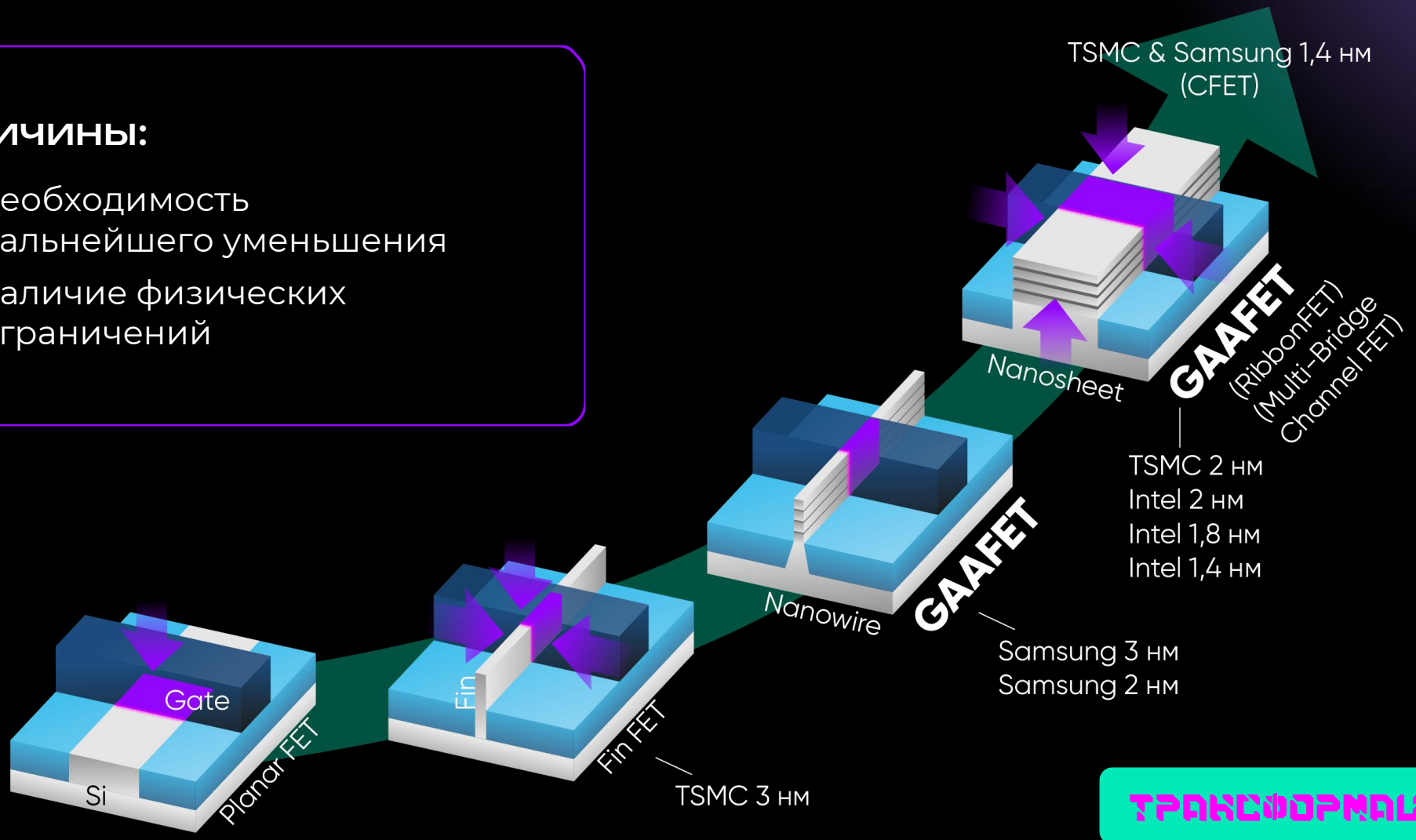
- плотность элементов у 7 нм Intel примерно как 4-5 нм у Samsung и TSMC
- технология «10 nm Enhanced SuperFin» была переименована компанией Intel в «Intel 7 [nm]» без каких-либо изменений в самой технологии

Эволюция транзисторов

GUARDCORE

Причины:

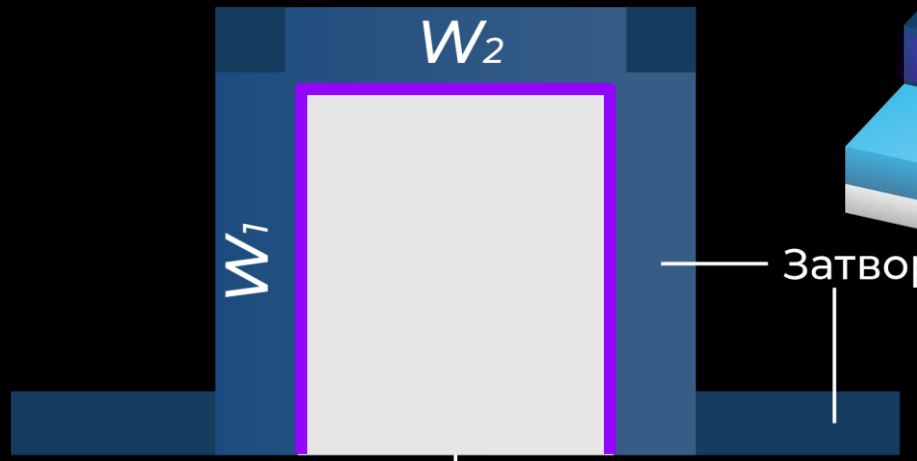
- необходимость дальнейшего уменьшения
- наличие физических ограничений

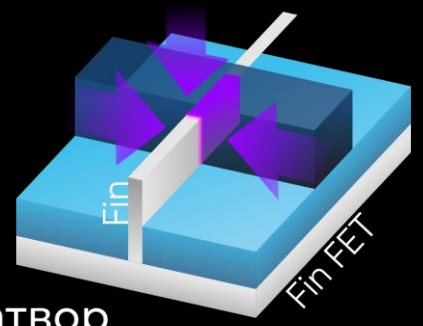


ТРАНСФОРМАЦИЯ

Первый 3D-транзистор: FinFET

- затвор «работает» **с трех сторон канала,** за счет чего достигается уменьшение горизонтальных размеров
- физические ограничения на ширину затвора могут быть «распределены» **в трех плоскостях**
- повышение **быстродействия**
- уменьшение **паразитных утечек**

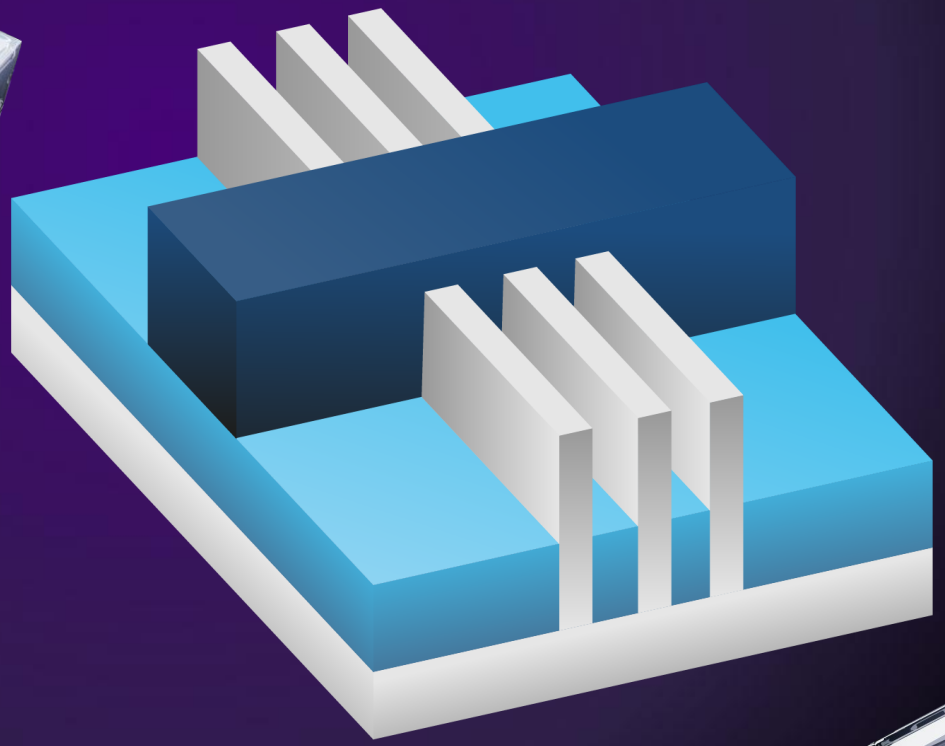




Размер рабочей области затвора:

- $2w_1 + w_2$
- Увеличение w1 для повышения эффективности

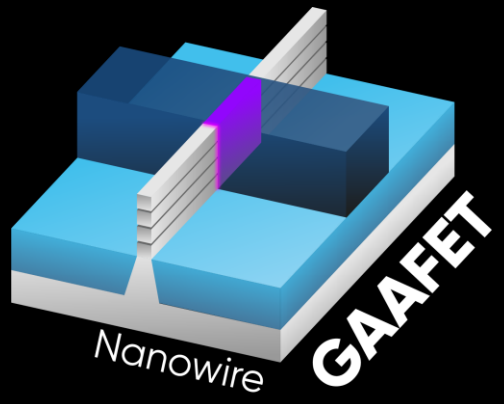
«Многоплавниковый» FinFET

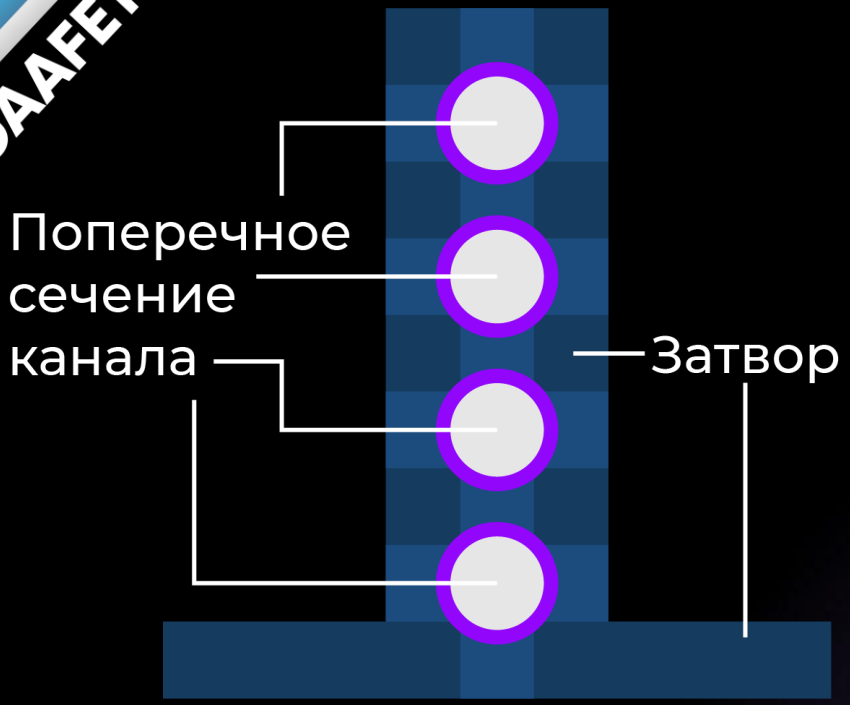


многократное использование вертикальных частей затвора

Варианты FinFET – основная структура транзисторов в техпроцессах 14-7 нм.

Нанотрубки: GAAFET Nanowires





- дальнейшее уменьшение горизонтальных размеров и энергопотребления
- увеличение быстродействия
- возможность подвода управляющих контактов снизу – упрощение проектирования

- крайне сложная технология производства
- слабый ток в канале

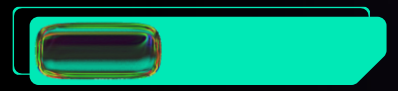
Канал разделен на несколько нанотрубок, затвор облегает канал со всех сторон

Нанолисты:
GAAFET Nanosheets

Канал состоит из нескольких плоских нанолистов, которые могут быть толщиной около 1 нм



- несколько проще процесс производства
- полноценный ток за счет увеличения поперечного сечения затвора



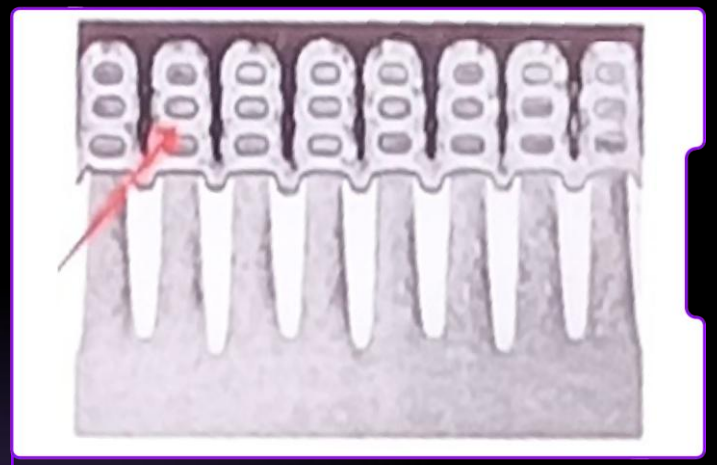
- несколько большие горизонтальные размеры, чем у нанотрубок



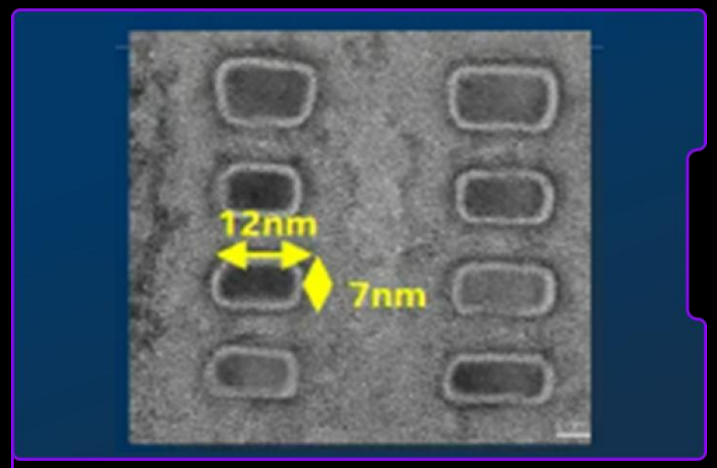


«Многоплавниковый» GAAFET

Для улучшения характеристик транзисторов нанотрубки и нанолисты могут образовывать несколько плавников



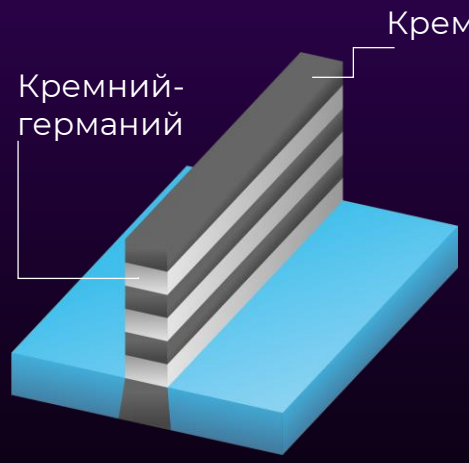
- **Нанотрубки:**



- **Нанолисты («нанорезина» - Nanoribbon FET, техпроцесс Intel 7нм):**

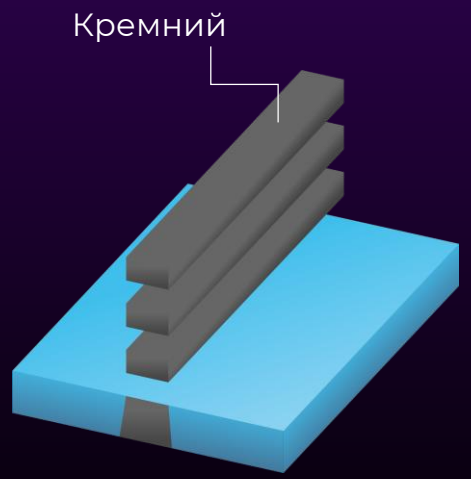


Процесс создания нанолистов



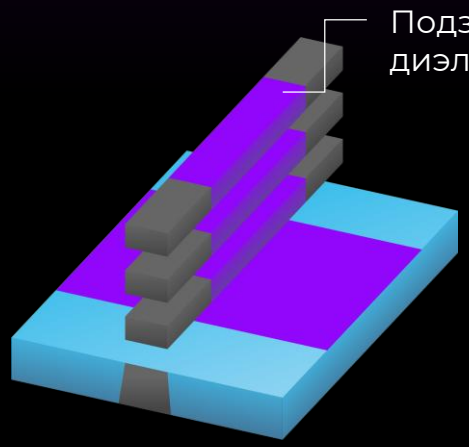
1

Наращивание
структур
из перемежающихся
листов



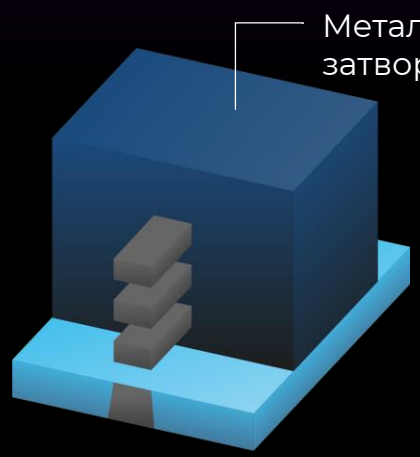
2

Химическое
травление убирает
ненужные листы



3

Осаждение
молекулярных
слоев диэлектрика



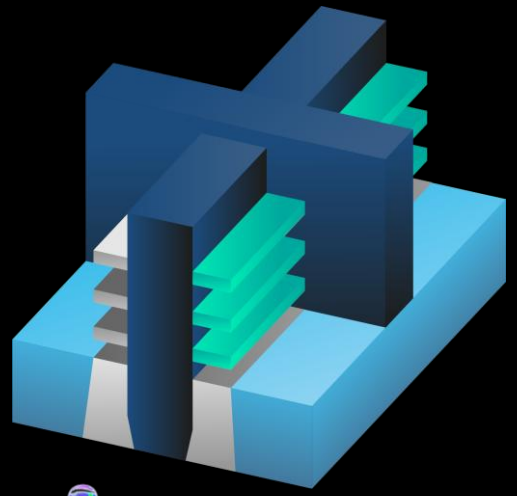
4

Напыление
или осаждение
металлического
затвора

Samsung 3 нм

Ближайшее будущее: комплементарные транзисторы в единой структуре

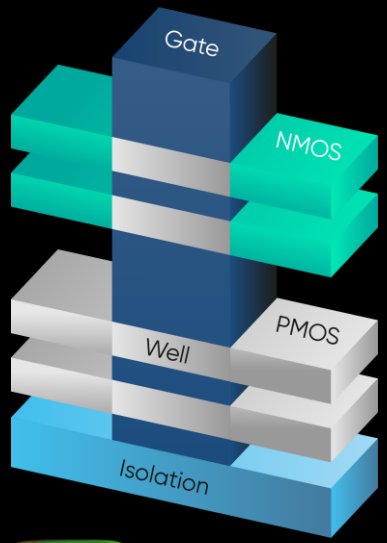
Forksheets: горизонтальная структура

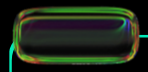




уменьшение горизонтальных размеров (в 2 раза для CFET)

CFET: вертикальная структура



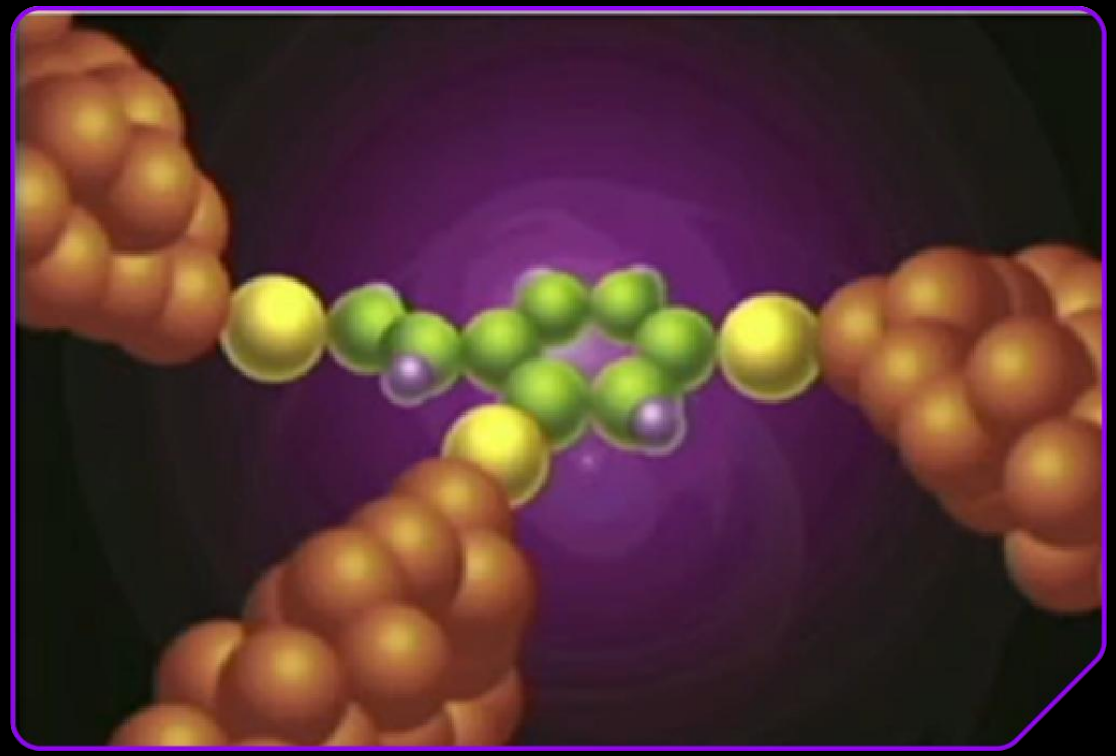


усложнение логики из-за общего затвора

радикальное усложнение технологии производства для CFET

Отдаленное будущее: молекулярный транзистор

Транзистор в виде одиночной молекулы



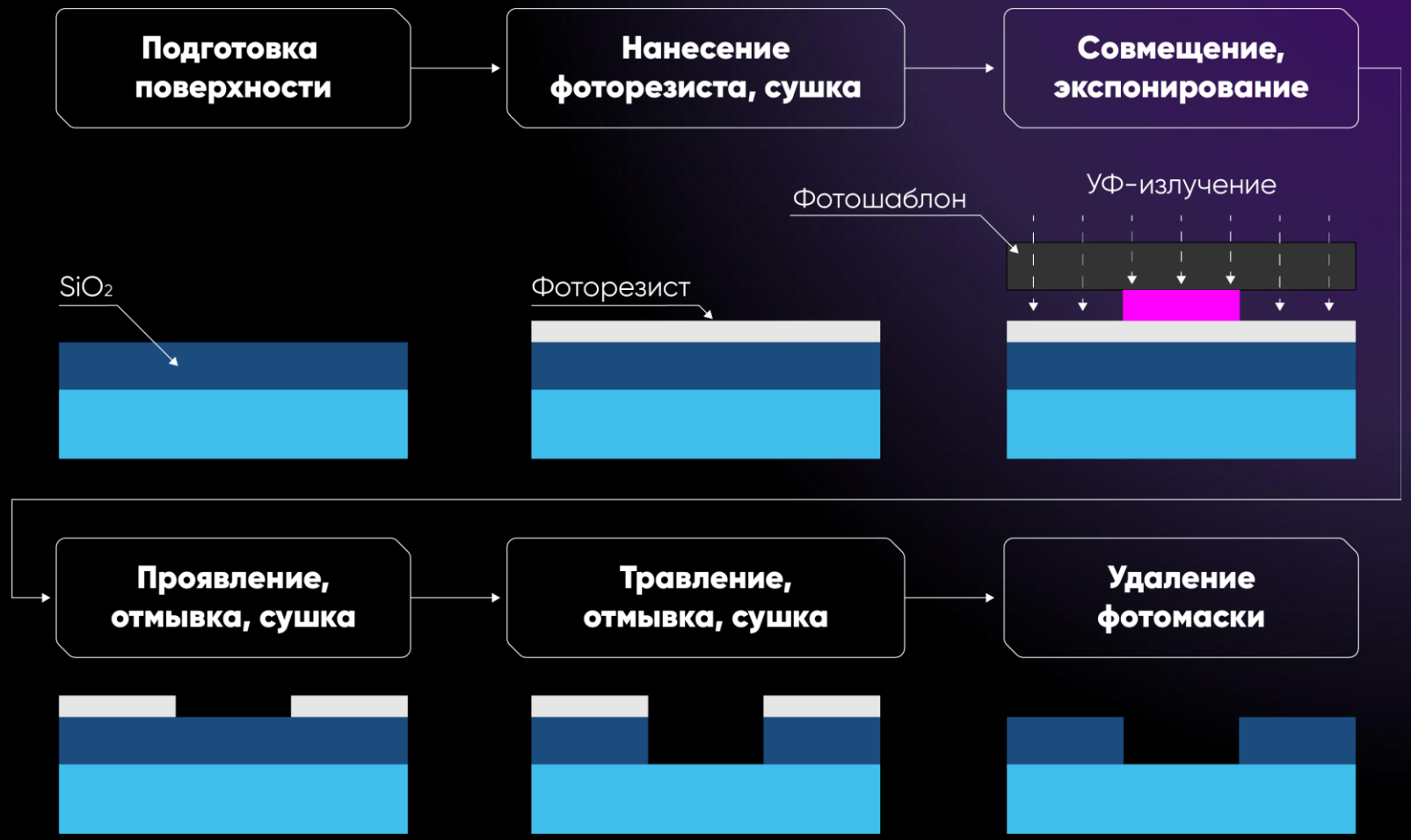
- радикальное уменьшение размеров

- слабый ток
- радикальное усложнение производства: манипуляции на молекулярном уровне
- относительно высокая энергия переключения

Немного про производство

Производство на уровне 28 нм требует:

- ~170 единиц оборудования
- ~6000 операций при производстве одной пластины



Вместо заключения

Техпроцесс 3 нм — позволяет разместить на одном кристалле около 100 млрд транзисторов с высоким быстродействие и относительно небольшим энергопотреблением

Техпроцесс 1 нм — позволит увеличить эту цифру в 3 раза

Где нужны такие микросхемы — высокопроизводительные вычисления
искусственный интеллект

GUARDCORE

Вопросы?





GUARDCONF

Спасибо за внимание!



Сергей Панасенко
Компания «Актив»
panasenko@guardant.ru

